

## ⑫ 公開特許公報(A)

平1-229497

⑤Int.Cl.<sup>4</sup>G 11 C 17/00  
7/00  
H 01 L 27/04

識別記号

3 0 9  
3 1 2

庁内整理番号

A-7341-5B  
C-7341-5B  
7514-5F※

④公開 平成1年(1989)9月13日

審査請求 未請求 請求項の数 1 (全10頁)

⑥発明の名称 不揮発性半導体記憶装置

②特 願 昭63-55255

②出 願 昭63(1988)3月8日

⑦発明者 小林 和 男 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑦発明者 寺 田 康 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑦発明者 中 山 武 志 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑦発明者 林 越 正 紀 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑦出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑦代 理 人 弁理士 大岩 増雄 外2名

最終頁に続く

## 明 細 書

## 1. 発明の名称

不揮発性半導体記憶装置

## 2. 特許請求の範囲

(1) 行および列方向にアレイ状に配置されたメモリセルからなるメモリセルアレイと各列線ごとに設けられたコラムラッチとを備えた不揮発性半導体記憶装置において、

前記各列線を分割し、分割された列線において前記コラムラッチを共用したことを特徴とする不揮発性半導体記憶装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は不揮発性半導体記憶装置に関し、特にページモード書込み機能を有するEEPROMに関するものである。

(従来の技術)

第5図は従来のEEPROMを示す回路図である。同図において、1、2はメモリセルであり、各々2つのメモリトランジスタMQ1、MQ2よ

り2ビット構成となっており、ワード線WL1、WL2を活性化させることで対応する各メモリセル1、2の選択トランジスタSTがオンし、読出し、書込みが可能となる。また、メモリセル1、2内の各メモリトランジスタMQ1、MQ2のソースはトランジスタ9を介して接地される。このトランジスタ9のゲートにはソース線リセット信号SLRが印加される。メモリセル1、2の各選択トランジスタSTのドレインは各々コントロールゲート線CGL1、CGL2、ビット線BL11、BL12、BL21、BL22に接続されている。コントロールゲート線CGL1、CGL2の一端はコモンコントロールゲート線(以下、「コモンCG線」と言う。)39に、トランジスタ30、31を介して接続され、ビット線BL11、BL21の一端はI/O線37にトランジスタ32、34を介して接続され、ビット線BL12、BL22の一端はI/O線38にトランジスタ33、35を介して接続される。コモンCG線39は図示しない制御回路によって、読出し時、

書込み時に各々適切な電位が与えられる。また、I/O線37, 38はセンスアンプ3, 4に接続されており、このセンスアンプ3, 4の出力が読出しデータRD1, RD2となる。

30~35はYゲートトランジスタであり、Yゲートトランジスタ30, 32, 33のゲートにはYゲート信号Y Gate1が入力され、Yゲートトランジスタ31, 34, 35のゲートにはYゲート信号Y Gate2が入力される。

一方、反転書込みデータWD1, WD2が各々入力される書込みドライバ5, 6はトランジスタ7, 8を介してI/O線37, 38に接続される。これらのトランジスタ7, 8のゲートに書込み信号WEが印加される。

また、コントロールゲート線CGL1, CGL2及びビット線BL11, BL12, BL21, BL22の他端は各々高電圧( $V_{pp}$ )スイッチ11, 12, 13, 21, 22, 23及びコラムラッチ111, 112, 113, 121, 122, 123が接続される。 $V_{pp}$ スイッチ11~13,

21~23は対応するコラムラッチ111~113, 121~123に“H”レベルが保持されている場合に、高電圧源 $V_{pp}$ 、クロックφにより高電圧 $V_{pp}$ に立上げる。また、24~29は各ビット線BL, コントロールゲート線CGL放電用のトランジスタであり、トランジスタ24~27のゲートにはビット線リセット信号BLRが印加され、トランジスタ28, 29のゲートにはコントロールゲート線リセット信号CGRが印加される。また、コラムラッチ111~113, 121~123はコラムラッチ活性化信号CLEが印加される。

第6図は第5図で示したEEPROMの全体構成を示したブロック図である。同図において第5図のメモリセル1に相当するものが $m \times n$ 構成でマトリクス状に形成されたのがメモリセルアレイMA1、メモリセル2に相当するメモリセルが $m \times n$ 構成でマトリクス状に形成されたのがメモリセルアレイMA2である。従って、このEEPROMは $m \times n$ バイトのメモリセルアレイをロウデ

コーダRDの両側に配置し $m \times 2n$ バイト構成となっている。

第7図は第5図、第6図で示したEEPROMの読出し動作を示すタイミング図である。以下、同図を参照しつつメモリセル1, 2が選択された場合における読出し動作の説明をする。読出しは外部から書込み信号WE(図示せず)を“H”とし、チップイネーブル信号CEを“L”とすることから開始する(時刻 $t_1$ )。この時アドレス信号をロウデコーダ、コラムデコーダにより解析し、対応するワード線WL1及びYゲート信号Y Gate1は“H”となる。その結果、ワード線WL1がゲートに接続された選択トランジスタSTがオンすることでメモリセル1内のメモリトランジスタMQ1, MQ2のゲートとコントロールゲート線CGL1、メモリトランジスタMQ1のドレインとビット線BL11、メモリトランジスタMQ2のドレインとビット線BL12が各々接続される。さらにYゲート信号Y Gate1がゲートに入力されるトランジスタ30, 32, 33がオンすること

でコントロールゲート線CGL1とコモンCG線39, ビット線BL11, BL12とI/O線37, 38が接続される。

コモンCG線39には、図示しないコントロールゲート線電位制御回路によって読出し電位(0V)が与えられているため、メモリセル1内のメモリトランジスタMQ1, MQ2のゲートにはコントロールゲート線CGL1、選択トランジスタSTを介して0Vが与えられる。この時、信号SLRが“H”レベルに設定されておりメモリトランジスタMQ1, MQ2のソースは接地される。

従って、メモリトランジスタMQ1, MQ2のオン、オフによりビット線BL11, BL12に電流が流れるか、流れないかが決定する。センスアンプ3, 4はビット線BL11, BL12の電流の流れの有無を検知し、例えばビット線BLT1に電流が流れると読出し信号RD1として“L”を出力する。また同時にビット線BL11, BL12の電位を1V程度に保つ。次に時刻 $t_2$ で、信号CEが再び立下ることで次の読出しが始まり、

同様にしてメモリセル2の内容が読出される。

第8図は第5図、第6図で示したEEPROMの書き込み動作を示すタイミング図である。以下、同図を参照しつつ書き込み動作の説明を行う。

書き込みは、外部から書き込み信号 $\overline{WE}$ を“L”とし、チップイネーブル信号 $\overline{CE}$ を“L”とすることで開始する(時刻 $t_1$ )。まず、リセット信号 $\overline{BLR}$ 及び $\overline{CGR}$ を一定期間“H”に設定することで、全ビット線 $\overline{BL}$ 、コントロールゲート線 $\overline{CGL}$ を接地する。そして、1バイトのデータ取込みのための図示しないバイトロードタイマを起動させ、コラムラッチ活性化信号 $\overline{CLE}$ を“H”に設定する。また、アドレスを解析することでコラムデコーダにより選択されたYゲート信号Y Gate 1が“H”となる。その結果、トランジスタ30、32、33がオンし、コントロールゲート線 $\overline{CGL1}$ とコモン $\overline{CG}$ 線39、ビット線 $\overline{BL11}$ 、 $\overline{BL12}$ とI/O線37、38が各々接続される。一方、トランジスタ7、8がオンしていることから、書き込みドライバ5、6、トランジスタ7、8、

ビット線 $\overline{BL1}$ 、 $\overline{BL2}$ を介して書き込みデータ $WD1(=“L”)$ 、 $WD2$ がコラムラッチ112、113に与えられる。また、図示しないコントロールゲート線制御回路によりコモン $\overline{CG}$ 線39が“H”に設定されるのでコントロールゲート線 $\overline{CGL1}$ を介してコラムラッチ111に“H”がラッチされる。次に時刻 $t_2$ からコラムラッチ121~123への書き込みデータ $WD1(=“H”)$ 、 $WD2$ の書き込みが同様に行われる。このようにして2バイトのデータを1ページとしてコラムラッチに書込む。以上が外部書き込みサイクルである。

次に、バイトロードタイマが時刻 $t_1$ より100 $\mu$ 秒程度の期間が経過し終了すると内部書き込みサイクルに入る。

内部書き込みサイクルに入ると図示しない消去タイマが時刻 $t_3$ で起動することで消去サイクルが始まる。消去サイクルにおいて高電圧スイッチ11、21に15~20V程度の高電圧 $V_{pp}$ 及び5~10MHz程度で発振するクロック $\phi$ が供給され活性化する。この時には、すべてのYゲート信

号Y Gateがオフしている。その結果、コラムラッチ11、21には“H”がラッチされているので、コントロールゲート線 $\overline{CGL1}$ 、 $\overline{CGL2}$ が $V_{pp}$ まで立上げられ、ロウデコーダRDで選択されたワード線 $\overline{WL1}$ 、 $\overline{WL2}$ も $V_{pp}$ に立上ることから、メモリセル1、2内の全メモリトランジスタMQの消去(“1”の書き込み)が行われる。

消去用タイマが“L”になり終了すると、図示しないプログラム用タイマが時刻 $t_4$ で起動しコントロールゲート線リセット信号 $\overline{CGR}$ が“H”となり、全コントロールゲート線 $\overline{CGL}$ が接地される。同時に $V_{pp}$ スイッチ12、13、22、23に高電圧 $V_{pp}$ 及びクロック $\phi$ が供給される。そして、信号 $\overline{SLR}$ が“L”となりトランジスタ9はオフしており、全メモリトランジスタMQのソースはフローティングとなり、ワード線 $\overline{WL1}$ 、 $\overline{WL2}$ は高電圧 $V_{pp}$ を維持し続ける。一方、第8図に示すように“H”をラッチしたコラムラッチ112に接続されたビット線 $\overline{BL11}$ は $V_{pp}$ に立上り、“L”をラッチしたコラムラッチ122に

接続されたビット線 $\overline{BL21}$ は“L”のままである。従って、メモリセル1、2において“H”をラッチしたコラムラッチに接続されたビット線に接続されたメモリトランジスタMQのみ“0”書き込みが行われる。

そして、プログラム用タイマがオフすると、ビット線リセット信号 $\overline{BLR}$ によって全ビット線 $\overline{BL}$ が接地され、内部書き込みが終了する。以上で書き込みサイクルが終了する。

(発明が解決しようとする課題)

従来のEEPROMの如く不揮発性半導体記憶装置は以上のように構成されており、大容量化に伴いビット線、コントロールゲート線の配線容量が大きくなると、読出し時及びコラムラッチへのデータ書き込み時に、ビット線、コントロールゲート線を充放電する時間がより一層必要となる。このため、読出し、書き込みにおけるアクセス時間が遅くなるという問題点があった。

この発明は、上記のような問題点を解決するためになされたもので、大容量化によっても読出し、

書き込み時におけるアクセス時間が遅延しない不揮発性半導体記憶装置を得ることを目的とする。

(課題を解決するための手段)

この発明にかかる不揮発性半導体記憶装置は、行および列方向にアレイ状に配置されたメモリセルからなるメモリセルアレイと各列線ごとに設けられたコラムラッチとを備え、前記各列線を分割し、分割された列線において前記コラムラッチを共用している。

(作用)

この発明における列線は分割され、コラムラッチを共用しているため、分割された各列線の配線容量は低減化する。

(実施例)

第1図はこの発明の一実施例であるEEPROMの全体構成を示すブロック構成図である。同図に示すように、第6図で示した従来のメモリセルアレイMA1、MA2における列線(コントロールゲート線CGL、ビット線BL)を分割することで $m/2 \times n$ マトリクス構成の4つのメモリセ

ル13が接続される。また、コントロールゲート線CGL1の他端はトランジスタQ1を介してコラムラッチ111に接続されると共に、トランジスタ30を介してコモンCG線39に接続される。一方、ビット線BL11、BL12の他端はトランジスタQ2、Q3を介してコラムラッチ112、113に接続されると共に、トランジスタ32、33を介してI/O線37、38に接続される。トランジスタQ1~Q3のゲートにはそれぞれブロック選択信号BS1が与えられている。

一方、メモリセルアレイMA12側において、コントロールゲート線CGL1'及びビット線BL11'、BL12'の一端にはV<sub>pp</sub>スイッチ11'、12'、13'が接続される。また、コントロールゲート線CGL1'の他端はトランジスタQ1'を介してコラムラッチ111に接続されると共に、トランジスタ30を介してコモンCG線39に接続される。一方、ビット線BL11'、BL12'の他端はトランジスタQ2'、Q3'を介してコラムラッチ112、113に接続

ルアレイMA11、MA12、MA21、MA22の構成としている。そしてメモリセルアレイMA11、MA12間にコラムラッチCL1及びYゲートが、メモリセルアレイMA21、MA22間にコラムラッチCL2及びYゲートが設けられている。また、各メモリセルアレイMA11、MA12、MA21、MA22にはそれぞれV<sub>pp</sub>スイッチSW11、SW12、SW21、SW22が設けられる。センスアンプSA及び図示しない書き込みドライバはメモリセルアレイMA11、MA12、MA21、MA22間の中央部に位置する。また、ロウデコーダRD1がメモリセルアレイMA21、MA22間に、ロウデコーダRD2がメモリセルアレイMA2間に設けられる。他の構成は従来と同じである。

第2図は第1図におけるメモリセルMA11、MA12周辺を示した詳細回路図である。同図において、メモリセルアレイMA11側においてコントロールゲート線CGL1及びビット線BL11、BL12の一端にはV<sub>pp</sub>スイッチ11、12、

されると共に、トランジスタ32、33を介してI/O線37、38に接続される。トランジスタQ1'~Q3'のゲートにはそれぞれブロック選択信号BS2が与えられる。他の構成は従来と同じであるので説明は省略する。

第3図は、第1図、第2図で示したEEPROMの読み出し動作を示すタイミング図である。以下、同図を参照しつつメモリセル1、1'が選択された場合における読み出し動作の説明をする。読み出しは外部から信号WE(図示せず)を“H”とし、チップイネーブル信号CEを“L”とすることで開始する(時刻t<sub>1</sub>)。この時アドレス信号をロウデコーダ、コラムデコーダにより解析し、対応するワード線WL1、Yゲート信号YGate1及びブロック選択信号BS1が“H”となる。その結果、ワード線WL1がゲートに接続された選択トランジスタSTがオンすることでメモリセル1内のメモリトランジスタMQ1、MQ2のゲートとコントロールゲート線CG1、メモリトランジスタMQ1のドレインとビット線BL11、メモリ

トランジスタMQ2のドレインとビット線BL12が接続される。さらにYゲート信号YGate1が入力されるトランジスタ30, 32, 33がオンすることでコントロールゲート線CG1とコモンCG線39, ビット線BL11, BL12とI/O線37, 38が接続される。

コモンCG線39には、図示しないコントロールゲート線電位制御回路によって読出し電位(0V)が与えられているため、メモリセル1内のメモリトランジスタMQ1, MQ2のゲートにはコントロールゲート線CGL1、選択トランジスタSTを介して0Vが与えられる。この時、信号SLRが“H”レベルに設定されており全メモリトランジスタMQのソースは接地される。従って、メモリトランジスタMQのオン、オフによりビット線BL11, BL12に電流が流れるか、流れないかが決定する。センスアンプ3, 4はビット線BL11, BL12の電流の流れの有無を検知し、例えばビット線BL11に電流が流れると読出し信号RD1として“L”を出力する。また同

32, 33がオンし、コントロールゲート線CGL1とコモンCG線39, ビット線BL11, BL12とI/O線37, 38が接続される。一方、トランジスタ7, 8がオンしていることから、書き込みドライバ5, 6, トランジスタ7, 8, ビット線BL1, BL2を介して書き込みデータWD1(=“L”), WD2がコラムラッチ112, 113に与えられる。また、図示しないコントロールゲート線制御回路によりコモンCG線39が“H”に設定されるのでコントロールゲート線CG1を介してコラムラッチ111に“H”がラッチされる。次に時刻 $t_2$ から図示しないメモリセルMA21, MA22側のコラムラッチへの書き込みデータWD1(=“H”), WD2の書き込みが同様に行われる。このようにして1ページ(2バイト)のデータがコラムラッチに書き込まれる。以上が外部書き込みサイクルである。

次に、バイトロードタイマが時刻 $t_1$ より100 $\mu$ 秒程度の期間が経過し終了すると内部書き込みサイクルに入る。

時にビット線BL11, BL12の電位を1V程度に保つ。次に時刻 $t_2$ で、信号CEが再び立下ることによって次の読出しが始まり、ブロック選択信号BS2が“H”になることで同様にしてメモリセル1'の内容が読出される。

第4図は第1図, 第2図で示したEEPROMの書き込み動作を示すタイミング図である。以下、同図を参照しつつメモリセル1, 2への書き込み動作の説明を行う。

書き込みは、外部からの書き込み信号WEを“L”とし、チップイネーブル信号CEを“L”とすることで開始する(時刻 $t_1$ )。まず、リセット信号BLR及びCGRを一定期間“H”に設定することで、全ビット線BL, コントロールゲート線CGLを接地する。そして、1バイトのデータ取込みのための図示しないバイトロードタイマを起動させ、コラムラッチ活性化信号CLEを“H”に設定する。また、アドレスがラッチされコラムデコーダにより選択されたYゲート信号YGate1が“H”となる。その結果、トランジスタ30,

内部書き込みサイクルに入ると図示しない消去タイマーが時刻 $t_3$ で起動することで消去サイクルが始まる。消去サイクルにおいて高電圧スイッチ15~20V程度の高電圧 $V_{pp}$ 及び5~10MHz程度で発振するクロック $\phi$ が供給され活性化する。同時にブロック選択信号BS1が“H”に立上る。この時には、全てのYゲート信号YGateがオフする。その結果、コラムラッチ11には“H”がラッチされているので、コントロールゲート線CGL1に“H”が伝わり、さらに $V_{pp}$ スイッチ11により $V_{pp}$ まで立上げられる。この時ブロック選択信号BS2は“L”のため、コントロールゲート線CGL1'は“L”レベルを維持する。また、ワード線WL1等も $V_{pp}$ に立上ることから、メモリセル1等内の全メモリトランジスタMQの消去(“1”の書き込み)が行われる。

消去用タイマが“L”になり終了すると、図示しないプログラム用タイマが時刻 $t_4$ で起動しコントロールゲート線リセット信号CGRが“H”となり、全コントロールゲート線CGLが接地さ

れる。同時に $V_{pp}$ スイッチ12、13に $V_{pp}$ 及びクロックφが供給される。また、ブロック選択信号BS1が“H”であるため、“H”がラッチされたコラムラッチ112に接続されたビット線BL11が高電圧 $V_{pp}$ に立上る。一方、ブロック選択信号BS2は“L”のため、ビット線BL11は“L”を維持する。また信号SLRが“L”となりトランジスタ9はオフしており、全メモリトランジスタMQのソースはフローティングとなり、ワード線WL1、WL2は高電圧 $V_{pp}$ を維持し続ける。従ってビット線BL11のように“H”をラッチしたコラムラッチに接続されたビット線に接続されたメモリトランジスタMQのみ“0”の書き込みが行われる。

プログラム用タイマがオフすると、ビット線リセット信号BLRによって全ビット線BLが接地され、内部書き込みが終了する。

このように $m/2 \times n$ 構成の2つのメモリセルアレイMA11、MA12(MA21、MA22)に分割し、コラムラッチCL1(第2図では11

1、112、113)を共用することで、1つのメモリセルアレイの列線(ビット線、コントロールゲート線)における配線容量が半減できる。このため、従来に比べ、列線を充放電する時間が大幅に削減でき、アクセス時間が短縮できる。従って大容量化に十分に対応することができる。また、2つのメモリセルアレイにおいてコラムラッチを共用するため、コラムラッチ数は従来と変らず構成できるため集積化を損ねない。

なお、この実施例では、分割したメモリセルアレイMA11、MA12(MA21、MA22)の選択をトランジスタQ1~Q3、Q1'~Q3'のゲートにブロック選択信号BS1、BS2を印加することにより行ったが、相補的なロウアドレス信号を印加してもよい。

また、この実施例では、 $V_{pp}$ スイッチをメモリセルアレイごとに設けたが、共用されるコラムラッチごとに設けることもできる。ただし、ブロック選択信号BS1、BS2を“H”から $V_{pp}$ に立上る必要がある。

#### (発明の効果)

以上説明したように、この発明によれば、列線は分割され、分割された各列線においてコラムラッチを共用するため、集積化を損ねることなく各列線の配線容量は低減化することができ、大容量化によっても読出し、書き込み時におけるアクセス時間が遅延しない。

#### 4. 図面の簡単な説明

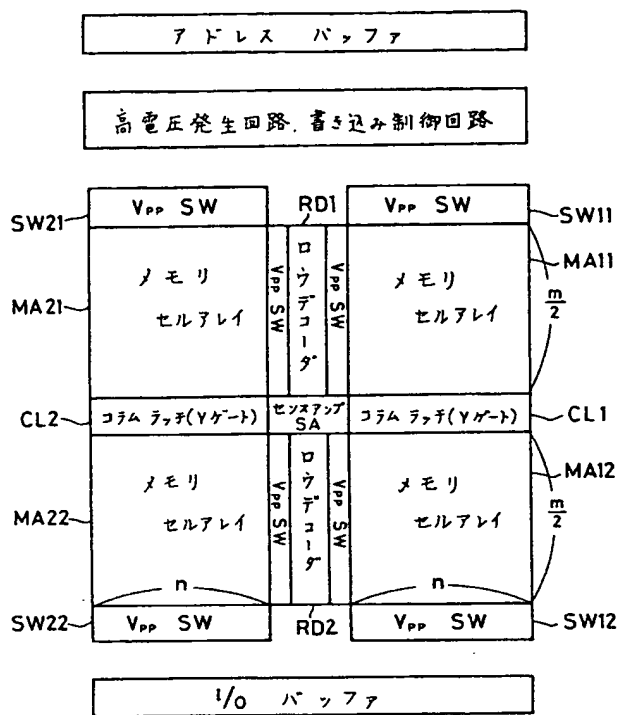
第1図はこの発明の一実施例であるEEPROMの全体構成を示すブロック構成図、第2図は第1図の詳細を示す回路図、第3図は第1図、第2図で示したEEPROMの読出し動作を示すタイミング図、第4図は第1図、第2図で示したEEPROMの書き込み動作を示すタイミング図、第5図は従来のEEPROMの詳細を示す回路図、第6図は第5図で示したEEPROMの全体構成を示したブロック構成図、第7図は第5図、第6図で示したEEPROMの読出し動作を示すタイミング図、第8図は第5図、第6図で示したEEPROMの書き込み動作を示すタイミング図である。

図において、MA11、MA12、MA21、MA22はメモリセルアレイ、111~113はコラムラッチ、Q1~Q3、Q1'~Q3'は選択トランジスタ、BS1、BS2はブロック選択信号である。

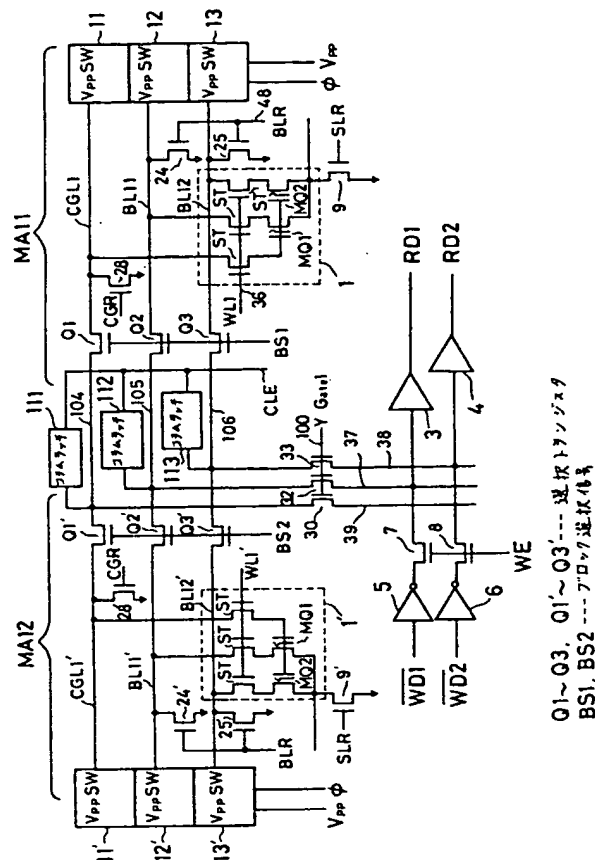
なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

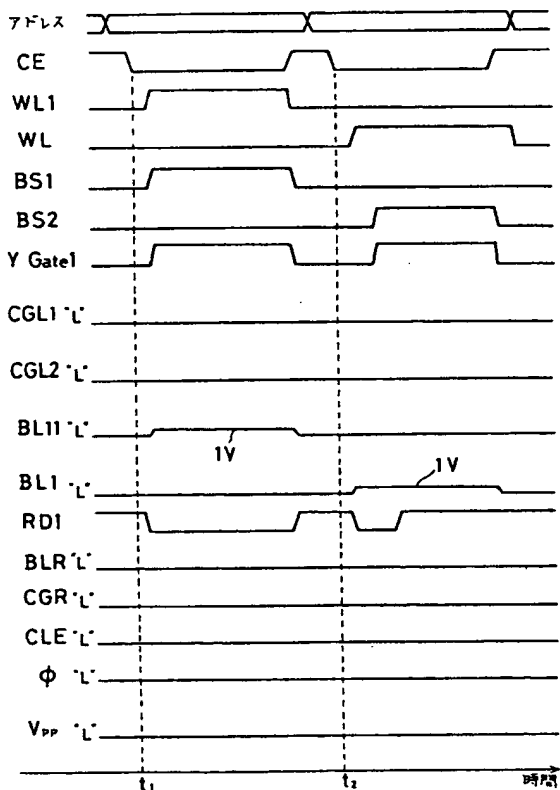
第 1 図



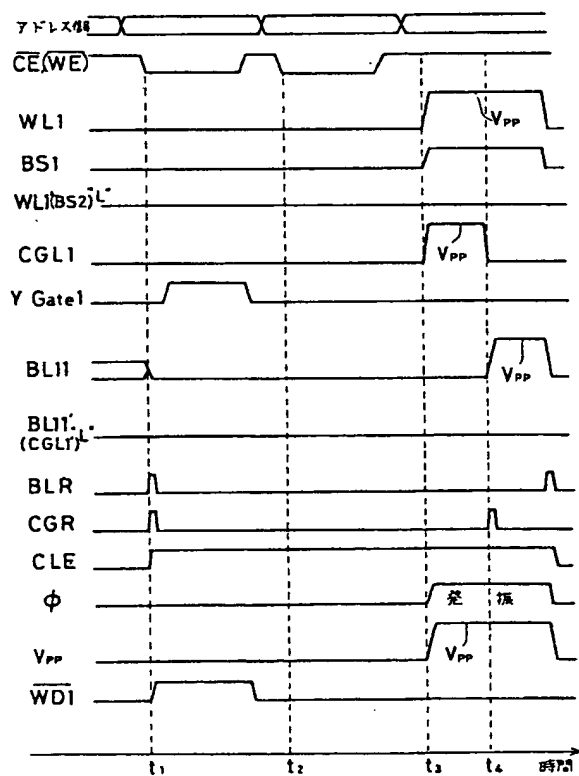
第 2 図



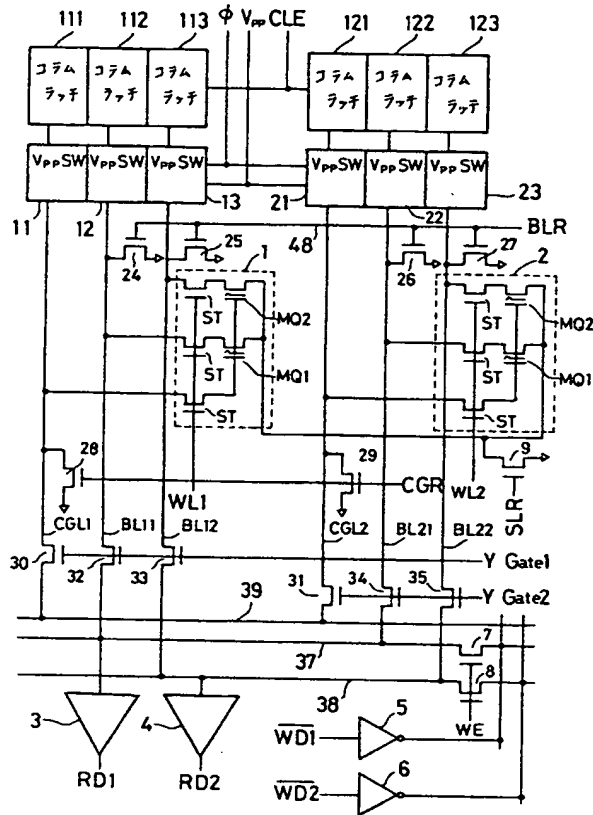
第 3 図



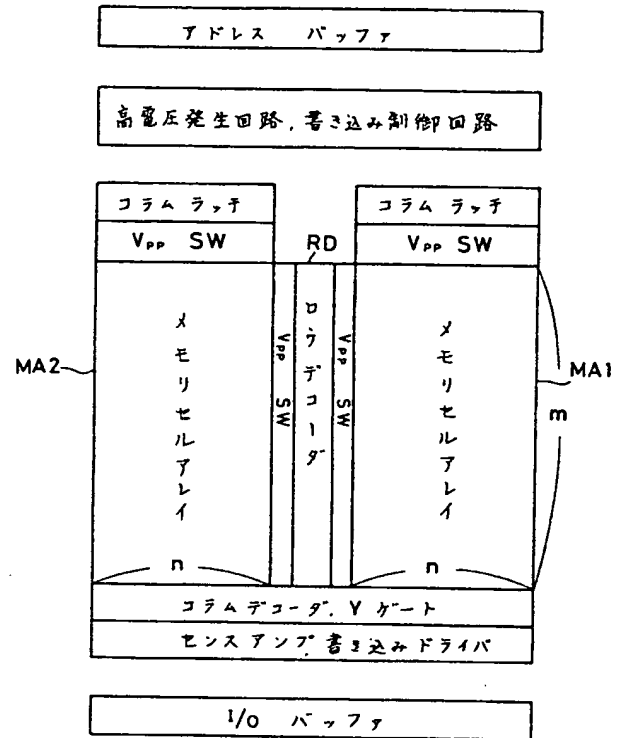
第 4 図



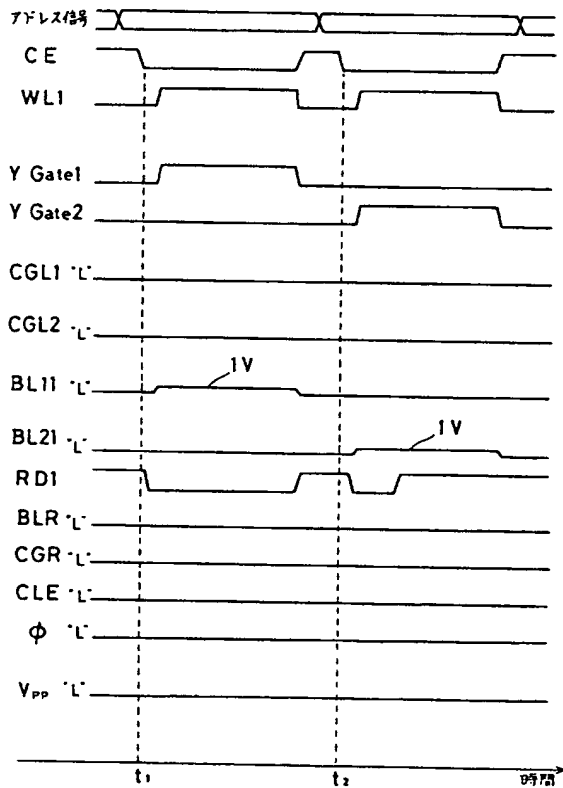
第 5 図



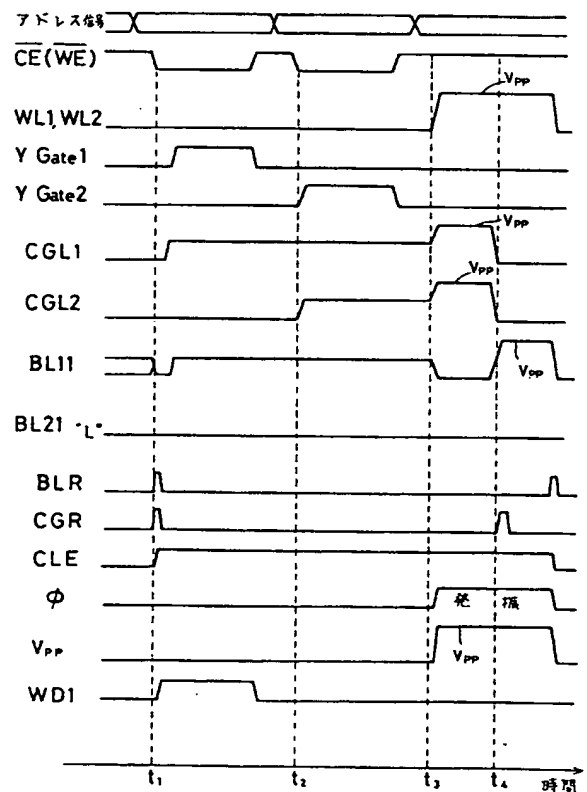
第 6 図



第 7 図



第 8 図





第1頁の続き

⑤Int.Cl.<sup>4</sup>H 01 L 27/10  
29/78

識別記号

4 3 3  
3 7 1

庁内整理番号

8624-5F  
7514-5F

⑦発明者 宮 脇 好 和 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・  
エス・アイ研究所内

手続補正書(自発)

昭和 63 年 7 月 15 日



特許庁長官殿

1. 事件の表示 特願昭 63-055255号

2. 発明の名称

不揮発性半導体記憶装置

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601)三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏 名 (7375)弁理士 大 岩 増 雄  
(連絡先03(213)3421特許部)



5. 補正の対象

明細書の「発明の詳細な説明の欄」並びに図面の第1図及び第6図

6. 補正の内容

- (1) 明細書第5頁第1行及び第9頁第4行の「RD」を、「RDEC」に訂正する。
- (2) 明細書第5頁第7行の「外部から」を削除する。
- (3) 明細書第5頁第7行ないし第8行及び第14頁第10行の「を“H”とし」を、「が“H”の時」に訂正する。
- (4) 明細書第5頁第10行、第7頁第13行及び第14頁第13行の「解析」を、「デコード」に訂正する。
- (5) 明細書第6頁第5行ないし第6行及び第15頁第8行ないし第9行の「(OV)」を、「(例えばOV)」に訂正する。
- (6) 明細書第12頁第12行の「RD1」を、「RDEC1」に訂正する。
- (7) 明細書第12頁第13行の「RD2」を、



「RDEC2」に訂正する。

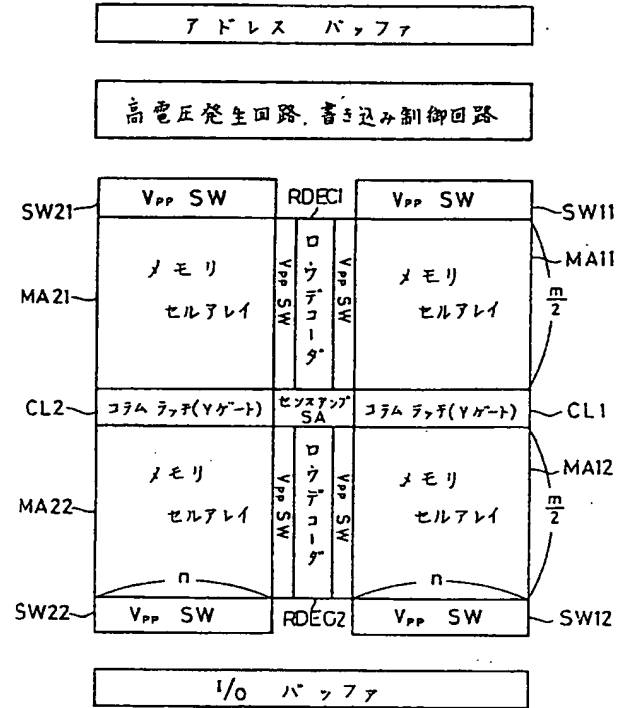
(8) 明細書第14頁第10行の「外部から信号」を、「書き込み信号」に訂正する。

(9) 明細書第20頁第19行ないし第20行の「BS2を“H”からV<sub>pp</sub>に立上がる」を、「BS2は選択時にはV<sub>pp</sub>に立上がる」に訂正する。

(10) 図面の第1図及び第6図を別紙の通り補正する。

以上

第 1 図



第 6 図

